

PATENT APPLICATION
Docket No. 9898-296
Client Ref. No. SS-19178-US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent appl of: Jung-Hwan Choi Confirmation No. 9301
Serial No. 10/645,922 Examiner: Not Yet Assigned
Filed: August 20, 2003 Group Art Unit: 2855
For: MEMORY INTERFACE SYSTEM

TRANSMITTAL LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Enclosed for filing in the above-referenced application are the following:

- ☒ Certified copy of Priority Document No. 2003-0024781, filed 18 April 2003
☒ Any deficiency or overpayment should be charged or credited to deposit account number 13-1703.

Customer No. 20575

Respectfully submitted,

MARGER JOHNSON & McCOLLOM, P.C.

Alan T. McCollom
Reg. No. 28,881

MARGER JOHNSON & McCOLLOM, P.C.
1030 SW Morrison Street
Portland, OR 97205
503-222-3613

I hereby certify that this correspondence
is being deposited with the United States
Postal Service as first class mail in an
envelope addressed to: Commissioner for
Patents, P.O. Box 1450, Alexandria, VA
22313-1450
Date: December 2, 2003

Christina Lawton

KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: **2003-0024781**

Date of Application: **18 April 2003**

Applicant(s): **Samsung Electronics Co., Ltd.**

22 August 2003

COMMISSIONER

PATENT APPLICATION

[Document Name] Patent Application
[Application Type] Patent
[Receiver] Commissioner
[Reference No.] 0004
[Filing Date] 2003.02.08.
[IPC] H04L
[Title] Transmitter, Receiver and Data Interface System
for Improving Data Transmission Speed

[Applicant]

Name: Samsung Electronics Co., Ltd.
Applicant code: 1-1998-104271-3

[Attorney]

Name: Young-pil Lee
Attorney's code: 9-1998-000334-6
Reg. No. of General
Power of Attorney: 1999-009556-9

Name: Sang-bin Jeong
Attorney's code: 9-1998-000541-1
Reg. No. of General
Power of Attorney: 1999-009617-5

[Inventor]

Name: Jung-hwan Choi
I.D. No. 680223-1674516
Zip Code: 442-070
Address: 102-902, Samsung Apt., 366, Ingye-dong,
Paldal-gu, Suwon-city, Kyungki-do,
Republic of Korea
Nationality: Republic of Korea

Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney
Attorney

Young-pil Lee (seal)
Sang-bin Jeong (seal)

[Fee]

| | | |
|------------------------|-------------|---------------|
| Basic page: | 20 Sheet(s) | 29,000 won |
| Additional page: | 32 Sheet(s) | 32,000 won |
| Priority claiming fee: | 0 Case(s) | 0 won |
| Examination fee: | 38 Claim(s) | 1,325,000 won |
| Total: | | 1,386,000 won |

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0024781
Application Number

출원년월일 : 2003년 04월 18일
Date of Application

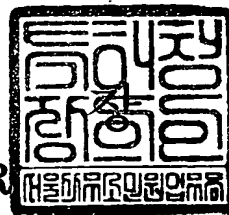
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 22 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0004 |
| 【제출일자】 | 2003.04.18 |
| 【국제특허분류】 | H04L |
| 【발명의 명칭】 | 데이터 전송속도를 향상시키는 송신기, 수신기 및 이를 포함하는 데이터 인터페이스 시스템 |
| 【발명의 영문명칭】 | Transmitter, receiver and data interface system for improving data transmission speed |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 2003-003435-0 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 2003-003437-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 최정환 |
| 【성명의 영문표기】 | CHOI, Jung Hwan |
| 【주민등록번호】 | 680223-1674516 |
| 【우편번호】 | 442-070 |
| 【주소】 | 경기도 수원시 팔달구 인계동 366번지 삼성아파트 102-902 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) |

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 32 면 32,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 38 항 1,325,000 원

【합계】 1,386,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

데이터 전송속도를 향상시키는 송신기, 수신기 및 이를 포함하는 데이터 인터페이스 시스템이 개시된다. 본 발명의 송신기는 제1 데이터 및 제2 데이터를 90도의 위상 차이를 가지고 중첩하여 중첩 신호를 발생한다. 본 발명의 수신기는 송신기로부터 전송된 중첩 신호를 90도 위상 차이를 가지고 각각 해석하여 제1 데이터 및 제2 데이터를 복원한다. 본 발명의 데이터 인터페이스 시스템은 상기 본 발명의 송신기와 수신기 및 데이터를 전송하는 전송선을 구비한다. 본 발명에 의하면, 클럭의 주파수를 증가시키지 않고도 대역폭을 증가시키는 효과가 있다. 따라서, 데이터의 전송 속도가 향상된다.

【대표도】

도 4b

【명세서】**【발명의 명칭】**

데이터 전송속도를 향상시키는 송신기, 수신기 및 이를 포함하는 데이터 인터페이스 시스템{Transmitter, receiver and data interface system for improving data transmission speed}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1(a)는 본 발명의 일 실시예에 따른 데이터 인터페이스 시스템의 개략적인 블록도이다.

도 1(b)는 본 발명의 실시예에서 사용되는 기준 클럭들의 위상 관계를 나타내는 도면이다.

도 2(a)는 본 발명의 일 실시예에 따른 송신기의 개략적인 블록도이다.

도 2(b)는 본 발명의 일 실시예에 따른 송신기의 동작을 나타내는 타이밍도이다.

도 3(a) 및 도 3(b)는 본 발명에 사용되는 심볼 정의를 나타내는 도면들이다.

도 4(a)는 본 발명의 일 실시예에 따른 수신기의 개략적인 블록도이다.

도 4(b)는 도 4(a)에 도시된 제1 수신 회로를 나타내는 블록도이다.

도 4(c)는 도 4(a)에 도시된 제2 수신 회로를 나타내는 블록도이다.

도 5는 본 발명의 일 실시예에 따른 수신기에서 사용되는 수신 기준 클럭들을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 송신기 및 수신기의 동작을 나타내는 타이밍도이다.

도 7은 본 발명의 일 실시예에 따른 데이터 송수신기를 구비하는 반도체 장치를 나타내는 블록도이다.

도 8은 본 발명의 일 실시예에 따른 수신기에서 사용되는 기준 전압들을 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 데이터 인터페이스에 관한 것으로, 특히 멀티-레벨 신호를 사용하여 데이터 전송 속도를 향상시킬 수 있는 데이터 인터페이스 장치 및 시스템에 관한 것이다.

<15> 메모리 장치를 포함하여 데이터를 주고 받는 시스템에서는 데이터의 전송 속도를 높이기 위한 노력들이 끊임없이 이어져 왔다. 데이터 전송속도를 높이는 방법 중의 하나는 클럭의 주파수를 높이는 것이다. 데이터 전송 속도를 높이는 방법 중의 다른 하나는 하나의 클럭 주기 동안 둘 이상의 비트 데이터를 전송하는 것이다.

<16> 하나의 클럭 주기 동안 둘 이상의 비트 데이터를 전송하는 장치의 일 예는 이중 데이터율(double data rate, 이하 DDR이라 함) 메모리 장치이다. DDR 메모리 장치는 클럭의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기하여 데이터를 출력함으로써, 하나의 클럭 주기 동안 핀당 두 비트의 데이터를 출력한다.

<17> 하나의 클럭 주기 동안 둘 이상의 비트 데이터를 전송하는 장치의 다른 예는 멀티 비트 신호를 사용하는 장치이다. 멀티 비트 신호란 멀티 레벨 신호(multi-level signaling)로서, 2-레벨의 신호를 전송하는 것이 아니라, 예를 들어 4-레벨의 신호를 전송한다. 4-레벨 신호를 사용하는 경우, 2-레벨 신호를 사용하는 경우에 비하여 동일한 클럭 주파수로 2배의 데이터를 전송할 수 있다. 그러나, 신호의 레벨수가 증가하면 클럭 주기당 전송되는 비트의 수는 증가하지만 레벨간 차이, 예를 들어 레벨간 전압 차이가 줄어들어 데이터의 오류 발생 가능성도 높아질 수 있다. 또한, 멀티-레벨 신호를 발생하는 회로와 이를 수신하여 원래 데이터를 복원하는 회로가 복잡해 질 수도 있다.

<18> 따라서, 데이터의 오류 발생 가능성이 줄어들면서 클럭의 주파수를 증가시키지 않고 데이터 전송속도를 향상시키는 새로운 데이터 송/수신 장치가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명이 이루고자 하는 기술적 과제는 클럭을 증가시키지 않고도 데이터 인터페이스 속도를 향상 시킬 수 있는 송신기, 수신기, 상기 송신기와 수

신기를 집적한 반도체 장치 및 상기 송신기와 수신기를 포함하는 데이터 인터페이스 시스템을 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 송신기는 제1 송신 기준 클럭에 응답하여 제1 출력 데이터를 출력하는 제1 출력 드라이버; 및 상기 제1 송신 기준 클럭에 비하여 90도 위상 차이를 가지는 제2 송신 기준 클럭에 응답하여 제2 출력 데이터를 출력하는 제2 출력 드라이버를 구비하며, 상기 제1 출력 데이터와 상기 제2 출력 데이터의 중첩 신호를 전송선을 통하여 전송한다. 바람직하기로는, 상기 송신기는 상기 전송선에 전기적으로 연결되며, 상기 제1 출력 데이터와 상기 제2 출력 데이터가 중첩되어 상기 중첩 신호가 발생하는 노드를 더 구비한다.

<21> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 수신기는 제1 수신 기준 클럭에 응답하여 중첩 신호를 수신하여, 제1 입력 데이터를 추출하는 제1 수신 회로; 및 상기 제1 수신 기준 클럭에 비하여 90도 위상 차이를 가지는 제2 수신 기준 클럭에 응답하여 상기 중첩 신호를 수신하여, 제2 입력 데이터를 추출하는 제2 수신 회로를 구비하며, 상기 중첩 신호는 적어도 두 개의 데이터가 중첩된 신호이다.

<22> 바람직하기로는, 제1 수신 기준 클럭은 소정의 외부 클럭에 동기된다.

<23> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 데이터 인터페이스 시스템은 전송선; 제1 데이터 및 제2 데이터를 90도의 위상 차이를 가

지고 중첩하여 상기 전송선으로 출력하는 송신기; 및 상기 중첩된 신호(이하, 중첩 신호)를 90도 위상 차이를 가지고 각각 해석하여 상기 제1 데이터 및 상기 제2 데이터를 복원하는 수신기를 구비한다.

<24> 바람직하기로는, 상기 송신기는 제1 송신 기준 클럭에 응답하여 상기 제1 데이터를 출력하는 제1 출력 드라이버; 및 상기 제1 송신 기준 클럭에 비하여 90도 위상 차이를 가지는 제2 송신 기준 클럭에 응답하여 제2 데이터를 출력하는 제2 출력 드라이버를 구비한다.

<25> 또한 바람직하기로는, 상기 수신기는 제1 수신 기준 클럭에 응답하여 상기 중첩 신호를 해석하여 상기 제1 데이터를 복원하는 제1 수신 회로; 및 상기 제1 수신 기준 클럭의 위상과 실질적으로 90도 위상 차이를 가지는 제2 수신 기준 클럭에 응답하여 상기 중첩 신호를 해석하여 상기 제2 데이터를 복원하는 제2 수신 회로를 구비한다.

<26> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치는 제1 출력 데이터 및 제2 출력 데이터를 90도의 위상 차이를 가지고 중첩하여 중첩 출력 신호를 발생하는 송신기; 중첩 입력 신호를 90도 위상 차이를 가지고 각각 해석하여 제1 입력 데이터 및 제2 입력 데이터를 발생하는 수신기; 및 상기 송신기 및 수신기를 제어하는 로직부를 구비한다.

<27> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<29> 도 1(a)는 본 발명의 일 실시예에 따른 데이터 인터페이스 시스템의 개략적인 블록도이다. 이를 참조하면, 본 발명의 일 실시예에 따른 인터페이스 시스템은 송신기(100), 수신기(200) 및 전송선(300)을 구비한다. 송신기(100)는 제1 및 제2 송신 기준 클럭(TC1k1, TC1k2)을 이용하여 제1 및 제2 출력 데이터(TX_D1, TX_D2)의 중첩 신호(TX_D1D2)를 전송선(300)을 통하여 전송한다. 송신기(100)는 하나의 장치에서 2개의 출력 신호를 발생할 수도 있고, 또는 서로 다른 두 개의 장치에서 각각의 출력 신호를 발생할 수도 있다.

<30> 수신기(200)는 제1 및 제2 수신 기준 클럭(RC1k1, RC1k2)을 이용하여 중첩 신호(RX_D1D2)를 수신함으로써, 제1 및 제2 입력 데이터(RX_D1, RX_D2)를 추출한다. 수신기(200)는 하나의 장치에서 2개의 입력 데이터(RX_D1, RX_D2)를 모두 복원할 수도 있고, 또는 서로 다른 두 개의 장치에서 각각의 입력 데이터를 복원할 수도 있다. 제1 및 제2 출력 데이터(TX_D1, TX_D2)와 제1 및 제2 입력 데이터(RX_D1, RX_D2)는 2-레벨 신호로서, 예를 들어, 로직 하이레벨과 로직 로우레벨을 갖는 신호이다. 중첩 신호는 3-레벨 신호로서, 예를 들어, 하이레벨, 미들레벨 및 로우레벨을 갖는 신호이다. 제1 및 제2 출력 데이터(TX_D1, TX_D2)가 외부 클럭(C1k)의 한 주기당 2비트씩 각각 출력된다면, 중첩 신호(TX_D1D2, RX_D1D2)는 외부 클럭(C1k)의 한 주기당 4비트 데이터를 전송할 수 있다. 외부 클럭(C1k)의 반 주기를 비트 타임이라 한다. 따라서, 중첩 신호(TX_D1D2, RX_D1D2)는 비트

타임당 2 비트 데이터를 전송할 수 있다. 그러므로, 본 발명의 일 실시예에 따른 데이터 인터페이스 시스템은 외부 클럭(Clk)의 한 주기당 2비트의 데이터를 출력하는 통상의 이중 데이터율(Double Data Rate, 이하 DDR이라 함) 메모리 장치를 가지는 데이터 인터페이스 시스템에 비하여 두 배 정도 빨리 데이터를 주고 받을 수 있다.

<31> 도 1(b)는 본 발명의 일 실시예에서 사용되는 기준 클럭들의 위상 관계를 나타내는 도면이다. 이를 참조하면, 제1 송신 기준 클럭(TClk1) 및 제1 수신 기준 클럭(RClk1)은 외부 클럭(Clk)에 동기된다. 그리고, 제2 송신 기준 클럭(TClk2) 및 제2 수신 기준 클럭(RClk2)은 외부 클럭(Clk)에 비하여 약 90도의 위상 차이를 가진다.

<32> 도 2(a)는 도 1(a)에 도시된 송신기(100)의 개략적인 블록도이다. 도 2(b)는 송신기(100)의 동작을 나타내는 타이밍도이다.

<33> 송신기(100)는 제1 출력 드라이버(110), 제2 출력 드라이버(120) 및 중첩 노드(130)를 구비한다.

<34> 제1 출력 드라이버(110)는 제1 출력 데이터(TX_D1)를 제1 송신 기준 클럭(TClk1)에 응답하여 출력한다. 제2 출력 드라이버(120)는 제2 출력 데이터(TX_D2)를 제1 송신 기준 클럭(TClk1)과 90도의 위상 차이를 가지는 제2 송신 기준 클럭(TClk2)에 응답하여 출력한다. 제1 및 제2 출력 드라이버(110, 120)는 하나의 중첩 노드(130)에 연결된다. 중첩 노드(130)는 전송선(300)에 연결된다. 따라서, 제1 및 제2 출력 드라이버(110, 120)로부터 출력되는 데이터(TX_D1', TX_D2')가 중첩 노드(130)에서 더해져서, 전송선(300)으로 출력된다. 결국 송신

기(100)는 두 개의 출력 데이터(TX_D1, TX_D2)를 90도 위상 차이를 가지고 중첩한 신호(TX_D1D2)를 전송선(300)을 통하여 수신기로 전송한다. 제1 출력 드라이버(110) 및 제2 출력 드라이버(120)는 둘 다 하나의 장치에 포함될 수 있다. 즉, 송신기(100)가 하나의 장치로 구현될 수 있다. 그러나, 제1 출력 드라이버(110) 및 제2 출력 드라이버(120)는 각각 다른 장치에 포함될 수도 있다. 즉, 송신기(100)가 제1 출력 드라이버(110) 및 제2 출력 드라이버(120)를 각각 포함하는 두 개의 장치로 구현될 수도 있다.

<35> 상술한 바와 같이, 제1 및 제2 출력 데이터(TX_D1, TX_D2)는 두 가지 전압 레벨(로직 하이레벨과 로직 로우레벨)을 가질 수 있는 신호이다. 제1 및 제2 출력 데이터(TX_D1, TX_D2)가 모두 로직 하이레벨 데이터이면 중첩 신호(TX_D1D2)는 하이레벨(H), 제1 및 제2 출력 데이터(TX_D1, TX_D2)가 모두 로직 로우레벨 데이터이면 중첩 신호(TX_D1D2)는 로우레벨(L), 그리고, 제1 및 제2 출력 데이터(TX_D1, TX_D2) 중 어느 하나는 로직 하이레벨 데이터이고 다른 하나는 로직 로우레벨 데이터이면 중첩 신호(TX_D1D2)는 미들레벨(M)을 가진다. 미들레벨(M)은 하이레벨(H)과 로우레벨(L)의 산술 평균값이다.

<36> 제1 및 제2 출력 드라이버(110, 120)는 이중 데이터율로 동작하는 것이 바람직하다.

<37> 제1 출력 드라이버(110)는 제1 송신 기준 클럭(TC1k1)의 상승 에지 및 하강 에지에 응답하여 제1 출력 데이터(TX_D1)를 출력한다. 따라서, 제1 출력 드라이버(110)로부터 비트 타임당 한 비트씩의 데이터가 제1 송신 기준 클럭(TC1k1)에 동기되어 출력된다. 제2 출력 드라이버(120)는 제2 송신 기준 클럭(TC1k2)의 상

승 에지 및 하강 에지에 응답하여 제2 출력 데이터(TX_D2)를 출력한다. 따라서, 제2 출력 드라이버(120)로부터 비트 타임(B)당 한 비트씩의 데이터가 제2 송신 기준 클럭(TC1k2)에 동기되어 출력된다.

<38> 제1 및 제2 출력 드라이버(110, 120)로부터 출력되는 데이터는 중첩 노드(130)에서 중첩되어, 중첩 신호(TX_D1D2)로서 발생된다. 그러므로, 중첩 신호(TX_D1D2)는 제1 출력 데이터(TX_D1)와 제2 출력 데이터(TX_D2)를 상호 90도 위상차를 가지고 중첩한 신호이다.

<39> 중첩 신호(TX_D1D2)는 다양한 심볼들을 가진다. 심볼은 비트 타임(A, B) 단위로 중첩 신호(TX_D1D2)의 모양에 의해 정해진다. 비트 타임(A, B) 동안의 중첩 신호의 모양은 7가지로 나뉘어질 수 있으며, 따라서, 중첩 신호(TX_D1D2)는 7가지의 심볼(S1~S7)을 가질 수 있는데, 이에 대해서는 뒤에서 상세히 설명한다.

<40> 도 2(b)에 나타난 중첩 신호는 제1 송신 기준 클럭(TC1k1)을 기준으로 볼 때는 S2-S7-S4-S5-S3-S2-S5-S2의 순으로 심볼 시퀀스를 가지며, 제2 송신 기준 클럭(TC1k2)을 기준으로 볼 때는 S6-S5-S6-S1-S3-S6-S1-S6의 순으로 심볼 시퀀스를 가진다.

<41> 도 3(a) 및 도 3(b)는 본 발명에 사용되는 심볼 정의를 나타내는 도면이다. 심볼은 비트 타임 동안의 신호 모양에 의해 정의된다. 심볼은 두 비트 데이터를 포함한다. 두 비트 데이터를 90도 위상차를 가지고 중첩함으로써, A 비트 타임의 관점에서 보면, 심볼에 포함되는 두 비트 데이터 중 하나는 제1 출력 데이터(TX_D1)의 하나의 풀 비트(full-bit) 데이터이고 다른 하나는 제2 출력 데이터(TX_D2)의 두 개의 하프 비트(half-bit) 데이터이다. 반면 B 비트 타임의 관점에

서 보면, 심볼에 포함되는 두 비트 데이터 중 하나는 제2 출력 데이터(TX_D2)의 하나의 풀 비트 데이터이고 다른 하나는 제1 출력 데이터(TX_D1)의 두 개의 하프 비트 데이터이다.

<42> 도 3(a)를 참조하여 예를 들면, S2 심볼은 제1 출력 데이터(TX_D1)의 하나의 풀 비트 데이터(A3)와 제2 출력 데이터(TX_D2)의 B2의 두 번째 하프 비트와 B3의 첫 번째 하프 비트를 중첩한 신호이다. A3의 첫 번째 하프 비트와 B2의 두 번째 하프 비트가 모두 로직 하이레벨(H)이므로, A3의 첫 번째 하프 비트와 B2의 두 번째 하프 비트의 중첩인 S2의 첫 번째 하프 비트는, 로직 하이레벨(H)이다. A3의 두 번째 하프 비트는 로직 하이레벨(H)이고 B3의 첫 번째 하프 비트는 로직 로우레벨(L)이므로, A3의 두 번째 하프 비트와 B3의 첫 번째 하프 비트의 중첩인 S2의 두 번째 하프 비트는, 로직 미들레벨(M)이다. 결국, S2 심볼은 로직 하이레벨(H)의 풀 비트 데이터(H-H)와 로직 하이레벨(H)의 하프 비트 및 로직 로우레벨(L)의 하프 비트로 이루어지는 데이터(H-L)의 중첩이다. 따라서, S2 심볼은 비트 타임 동안 H-M의 시퀀스를 가진다.

<43> S3 심볼은 로직 하이레벨(H)의 풀 비트 데이터(H-H)와 로직 하이레벨(H)의 하프 비트와 로직 하이레벨(H)의 하프 비트로 이루어진 데이터(H-H)의 중첩이다. 따라서, S3 심볼은 비트 타임 동안 H-H의 시퀀스를 가진다. 상기와 유사한 방식으로, 비트 타임동안, S1 심볼은 M-H의 시퀀스, S5 심볼은 L-M의 시퀀스, S6 심볼은 M-L의 시퀀스, S7 심볼은 L-L의 시퀀스를 가진다. 상술함 바와 같이 S4를 제외한 나머지 심볼들은 각각 제1 및 제2 출력 데이터(TX_D1, TX_D2)의 고유의 결합을 가진다. 따라서, 심볼에 의해 제1 및 제2 출력 데이터(TX_D1, TX_D2)를

알 수 있다. 예를 들어, 비트 타임(A)을 기준으로 하여, 중첩 신호(TX_D1D2)가 S1, S2 또는 S3이면 제1 출력 데이터(TX_D1)는 로직 하이레벨(H) 데이터이고, 중첩 신호가 S5, S6, 또는 S7이면 제1 출력 데이터(TX_D1)는 로직 로우레벨(L) 데이터이다.

<44> 그러나, S4는 이중성(duality)을 가진다. 첫 번째 경우에는 도 3(a)에 도시된 바와 같이, 제1 출력 데이터(TX_D1)의 풀 비트 데이터(A7)와 제2 출력 데이터(TX_D2)의 B6의 두 번째 하프 비트와 B7의 첫 번째 하프 비트의 중첩이다. 이 때, 풀 비트 데이터(A7)는 로직 하이레벨(H)이고 두 개의 하프 비트 데이터(B6의 두 번째 하프 비트, B7의 첫 번째 하프 비트)는 로직 로우레벨(L)이다. 두 번째 경우에는 도 3(b)에 도시된 바와 같이, 제1 출력 데이터(TX_D1)의 풀 비트 데이터(C7)와 제2 출력 데이터(TX_D2)의 B6의 두 번째 하프 비트와 B7의 첫 번째 하프 비트의 중첩이다. 이 때, 풀 비트 데이터(C7)는 로직 로우레벨(L)이고 두 개의 하프 비트 데이터(D6, D7)는 로직 하이레벨(H)이다.

<45> S4에 대한 두 가지 경우로부터, 풀 비트 데이터는 하프 비트 데이터를 반전하여 얻어질 수 있음을 알 수 있다. 예를 들어, 비트 타임(A)을 기준으로 하여, 중첩 신호가 S4이면, 제1 출력 데이터(TX_D1)는 제2 출력 데이터(TX_D2)의 반전 데이터(inverted data)이다. S4는 로직 하이레벨(H) 데이터와 로직 로우레벨(L) 데이터의 중첩 신호이므로, 하나의 데이터가 로직 로우레벨(L)이면 다른 하나의 데이터는 로직 하이레벨(H)이 되어야 하기 때문이다.

<46> 도 4(a)는 도 1(a)에 도시된 수신기(200)의 개략적인 블록도이다. 이를 참조하면, 수신기(200)는 제1 수신 회로(210) 및 제2 수신 회로(220)을 구비한다.

수신기(200)는 제1 수신 기준 클럭(RC1k1) 및 제2 수신 기준 클럭(RC1k2)을 이용하여 중첩 입력 신호(RX_D1D2)를 해석하여, 중첩 입력 신호(RX_D1D2)로부터 제1 입력 데이터(RX_D1) 및 제2 입력 데이터(RX_D2)를 복원한다. 제1 수신 회로(210)은 제1 수신 기준 클럭(RC1k1, RC1k1b)에 응답하여 중첩 입력 신호(RX_D1D2)를 해석하여 제1 입력 데이터(RX_D1)를 복원한다. 이 때, 제2 수신 회로(220)에서 출력되는 신호들(RX_D2_even, RX_D2_odd)을 이용한다. 제2 수신 회로(220)은 제2 수신 기준 클럭(RC1k2, RC1k2b)에 응답하여 중첩 입력 신호(RX_D1D2)를 해석하여 제2 입력 데이터(RX_D2)를 복원한다. 이 때, 제1 수신 회로(210)에서 출력되는 신호들(RX_D1_even, RX_D1_odd)을 이용한다. 제1 및 제2 수신 회로(220)에서 출력되는 상기 신호들(RX_D1_even, RX_D1_odd, RX_D2_even, RX_D2_odd)에 대해서는 뒤에서 상세히 기술한다. 제1 수신 회로(210) 및 제2 수신 회로(220)는 둘 다 하나의 장치에 포함될 수 있다. 즉, 수신기(200)가 하나의 장치로 구현될 수 있다. 그러나, 제1 수신 회로(210) 및 제2 수신 회로(220)는 각각 다른 장치에 포함될 수도 있다. 즉, 수신기(200)가 제1 수신 회로(210) 및 제2 수신 회로(220)를 각각 포함하는 두 개의 장치로 구현될 수도 있다.

<47> 중첩 입력 신호(RX_D1D2)는 송신기(100)에서 출력된 중첩 신호(TX_D1D2)가 전송선(300)을 통하여 수신기(200)에 입력되는 신호이다. 따라서, 제1 입력 데이터(RX_D1) 및 제2 입력 데이터(RX_D2)가 정확히 복원되면, 제1 입력 데이터(RX_D1)는 송신기(100)에서 출력한 제1 출력 데이터(TX_D1)와 동일하고, 제2 입력 데이터(RX_D2)는 제2 출력 데이터(TX_D2)와 동일하다.

- <48> 도 4(b)는 도 4(a)에 도시된 제1 수신 회로(210)을 나타내는 블록도이다. 이를 참조하면, 제1 수신 회로(210)은 하이/로우레벨 검출기(211), 미들레벨 검출기(212) 및 멀티플렉서(213)를 포함한다.
- <49> 하이/로우레벨 검출기(211)는 프리앰프(pre-amplifier)(211_a), 풀 비트 타임 적분기(211_b, 211_c) 및 감지/래치부(sense and latch, 이하 S/A)(211_d, 211_e)를 포함한다. 하이/로우레벨 검출기(211)는 두 개의 풀 비트 타임 기준 클럭들(RC1k1, RC1k1b)을 사용한다.
- <50> 미들레벨 검출기(212)는 프리앰프(212_a), 하프 비트 타임 적분기(212_b, 212_c, 212_d, 212_e), S/A(212_f, 212_g, 212_h, 212_i) 및 데이터 선택 회로(212_j, 212_k)를 포함한다. 미들레벨 검출기(212)는 4개의 하프 비트 타임 기준 클럭들(RC1k1_1st, RC1k1_2nd, RC1k1b_1st, RC1k1b_2nd)을 사용한다.
- <51> DDR 동작을 원활하게 수행하기 위하여 제1 수신 회로(210)은 두 개의 데이터 경로, 즉 우수 데이터 경로와 기수 데이터 경로를 가지는 것이 바람직하다. 제1 및 제2 입력 데이터(RX_D1, RX_D2)는 각각 우수 데이터와 기수 데이터가 번갈아 나타나는 데이터이다.
- <52> 제1 수신 회로(210)의 우수 데이터 경로는 제1 입력 데이터(RX_D1)의 우수 데이터(RX_D1_even)를 복원하는 역할을 하며, 기수 데이터 경로는 제1 입력 데이터(RX_D1)의 기수 데이터(RX_D1_odd)를 복원하는 역할을 한다.

- <53> 제1 수신 회로(210)의 우수 데이터 경로는 프리앰프들(211_a, 212_a), 풀 비트 타임 적분기(211_b), 하프 비트 타임 적분기들(212_b, 212_c), S/A들(211_d, 211_f, 211_g) 및 데이터 선택 회로(212_j)를 포함한다.
- <54> 제1 수신 회로(210)의 기수 데이터 경로는 프리앰프들(211_a, 212_a), 풀 비트 적분기(211_c), 하프 비트 적분기들(212_d, 212_e), S/A들(211_e, 211_h, 211_i) 및 데이터 선택 회로(212_k)를 포함한다.
- <55> 제1 수신 회로(210)은 두 개의 기본적인 동작들, 즉 적분 및 감지/래치를 오버랩하여 수행한다. 예를 들어, 우수 데이터 경로의 적분기들(211_b, 212_b, 212_c)은 수신 기준 클럭들(Rclk1, Rclk1_1st, Rclk1_2nd)을 이용하여 적분 동작을 수행한다. 이와 거의 동시에, 기수 데이터 경로의 S/A들(211_e, 211_h, 211_i)은 수신 기준 클럭들(Rclk1b, Rclk1b_1st, Rclk1b_2nd)을 이용하여 감지 및 래치 동작을 수행한다. 반면, 기수 데이터 경로의 적분기들(211_c, 212_d, 212_e)이 적분 동작을 할 때, 우수 데이터 경로의 S/A들(211_d, 211_f, 211_g)은 감지 및 래치 동작을 수행한다.
- <56> 수신기(200)의 동작을 상세하게 설명하기 전에 도 5를 참조하여 수신기(200)에서 사용되는 수신 기준 클럭들을 설명하면 다음과 같다.
- <57> 수신 기준 클럭에는 두 가지 종류의 기준 클럭들, 즉, 풀 비트 타임 기준 클럭과 하프 비트 타임 기준 클럭이 있다. Rclk1과 Rclk1b는 풀 타임 비트 기준 클럭으로서, 상호 180도의 위상 차이를 가지는 수신 기준 클럭이다. Rclk1_1st, Rclk1_2nd, Rclk1b_1st 및 Rclk1b_2nd는 하프 비트 타임 기준 클럭이다.

- <58> 하프 비트 타임 기준 클럭(Rclk1_1st, Rclk1_2nd)은 풀 비트 타임 기준 클럭(Rclk1)로부터 생성된다. 물론, 하프 비트 타임 기준 클럭(Rclk1_1st, Rclk1_2nd)은 풀 비트 타임 기준 클럭(Rclk1)과 무관하게 생성될 수도 있다.
- <59> 도 5에 도시된 바와 같이, 0도에서 180도 사이가 하이레벨이고 180도에서 360도 사이가 로우레벨인 풀 비트 타임 기준 클럭(Rclk1) 대비하여, 하프 비트 타임 기준 클럭(Rclk1_1st)은 0도에서 90도 사이만 하이레벨이고, 하프 비트 타임 기준 클럭(Rclk1_2nd)은 90도에서 180도 사이만 하이레벨이다.
- <60> 하프 비트 타임 기준 클럭(Rclk1b_1st, Rclk1b_2nd)은 각각 하프 비트 타임 기준 클럭(Rclk1_1st, Rclk1_2nd)과 180도 위상 차이를 가진다.
- <61> 풀 비트 타임 기준 클럭(Rclk2, Rclk2b)은 풀 비트 타임 기준 클럭(Rclk1, Rclk1b)에 비하여 각각 90도 위상차이를 가지는 클럭들이다. 풀 비트 타임 기준 클럭(Rclk2, Rclk2b)과 하프 비트 타임 기준 클럭(Rclk2_1st, Rclk2_2nd, Rclk2b_1st 및 Rclk2b_2nd)의 관계는, 풀 비트 타임 기준 클럭(Rclk1, Rclk1b)과 하프 비트 타임 기준 클럭(Rclk1_1st, Rclk1_2nd, Rclk1b_1st 및 Rclk1b_2nd)의 관계와 동일하므로, 상세한 설명은 생략한다.
- <62> 다시 도 4 (b)를 참조하여, 제1 수신 회로(210)의 동작을 상세히 설명하면 다음과 같다.
- <63> 먼저, 우수 데이터 경로를 중심으로 제1 수신 회로(210)의 동작을 설명한다

- <64> 프리앰프(211_a)는 중첩 입력 신호(RX_D1D2A)를 증폭한다. 참조부호 'RX_D1D2A'는 제1 수신 회로(210)에 입력되는 중첩 입력 신호(RX_D1D2)를 나타내는 것으로, 설명의 편의상 다른 참조부호를 사용하지만 'RX_D1D2A'와 'RX_D1D2'가 나타내는 신호는 동일하다.
- <65> 프리앰프(211_a)는 차동 증폭기 형태로서, 중첩 입력 신호(RX_D1D2A)를 제1 기준 전압(VrefM)과 비교한다. 프리앰프(211_a)는 중첩 입력 신호(RX_D1D2A)가 제1 기준 전압(VrefM)보다 크면 하이레벨의 신호를, 중첩 입력 신호(RX_D1D2A)가 제1 기준 전압(VrefM)보다 작으면 로우레벨의 신호를, 중첩 입력 신호(RX_D1D2A)가 제1 기준전압(VrefM)과 유사하면 미들레벨의 신호를 출력한다. 폴 비트 타임 적분기(211_b)는 폴 비트 타임 기준 클럭(Rclk1)의 하이레벨 구간동안에 프리앰프(211_a)의 출력 신호를 적분한다. S/A(211_d)는 폴 비트 타임 기준 클럭(RC1k1)의 로우레벨 구간 동안에 폴 비트 타임 적분기(211_b)의 출력을 감지하고 래치하여 제1 프리 우수 데이터(RX_D1_even')를 출력한다. S/A(211_d)는 폴 비트 타임 적분기(211_b)의 출력이 소정값 이상이면 로직 하이레벨(H)의 제1 프리 우수 데이터(RX_D1_even')를, 그렇지 않으면 로직 로우레벨(L)의 제1 프리 우수 데이터(RX_D1_even')를 출력한다.
- <66> 따라서, 하이/로우 레벨 검출기(211)는 중첩 입력 신호(RX_D1D2)가 S1 내지 S3 심볼 중의 어느 하나에 해당하면 로직 하이레벨(H)의 데이터(RX_D1_even')를, 중첩 입력 신호(RX_D1D2)가 S5 내지 S7 심볼 중의 어느 하나에 해당하면 로직 로우레벨(L)의 데이터(RX_D1_even')를 출력한다. 중첩 입력 신호(RX_D1D2)가 S4 심볼에 해당하면 하이/로우 레벨 검출기(211)는 로직 하이레벨(H)의 데이터

(RX_D1_even')를 출력할 수도 있고, 로직 로우레벨(L)의 데이터(RX_D1_even')를 출력할 수도 있다.

<67> 중첩 입력 신호(RX_D1D2A)는 미드레벨 검출기(212)의 프리앰프(212_a)로도 입력된다. 미들레벨 검출기(212)의 프리앰프(212_a)는 중첩 입력 신호(RX_D1D2A)를 제2 및 제3 기준 전압(VrefH, VrefL)과 비교한다. 프리앰프(212_a)는 중첩 입력 신호(RX_D1D2A)가 제2 기준 전압(VrefH)과 제3 기준 전압(VrefL) 사이에 해당하면 하이레벨의 신호를, 그렇지 않으면 로우레벨의 신호를 출력한다.

<68> 제1 내지 제3 기준 전압(VrefM, VrefH, VrefL)의 관계가 도 8에 도시된다. 도 8을 참조하면, 제1 기준 전압(VrefM)은 로직 하이레벨(H)과 로직 로우레벨(L) 간의 전압 차이의 약 1/2에 해당된다. 제2 기준 전압(VrefH)은 로직 하이레벨(H)과 로직 로우레벨(L) 간의 전압 차이의 약 3/4에 해당된다. 그리고, 제3 기준 전압(VrefL)은 로직 하이레벨(H)과 로직 로우레벨(L) 간의 전압 차이의 약 1/4에 해당된다.

<69> 다시 도 4(b)를 참조하면, 하프 비트 타임 적분기(212_b)는 하프 비트 타임 기준 클럭(RClk1_1st)에 응답하여 프리앰프(212_a)의 출력 신호를 적분한다. 즉, 하프 비트 타임 적분기(212_b)는 하프 비트 타임 기준 클럭(RClk1_1st)의 하이레벨 구간동안에 프리앰프(212_a)의 출력 신호를 적분한다. S/A(212_f)는 하프 비트 타임 기준 클럭(RClk1_1st)의 로우레벨 구간 동안에 하프 비트 타임 적분기(212_b)의 출력을 감지하고 래치한다. S/A(212_f)는 하프 비트 타임 적분기(212_b)의 출력이 소정값 이상이면 로직 하이레벨(H)의 신호를, 그렇지 않으면 로직 로우레벨(L)의 신호를 출력한다.

<70> 하프 비트 타임 적분기(212_c)는 하프 비트 타임 기준 클럭(RC1k1_2nd)에 응답하여 프리앰프(212_a)의 출력 신호를 적분한다. 즉, 하프 비트 타임 적분기(212_c)는 하프 비트 타임 기준 클럭(RC1k1_2nd)의 하이레벨 구간동안에 프리앰프(212_a)의 출력 신호를 적분한다. S/A(212_g)는 하프 비트 타임 기준 클럭(RC1k1_2nd)의 로우레벨 구간 동안에 하프 비트 타임 적분기(212_c)의 출력을 감지하고 래치한다. S/A(212_g)는 하프 비트 타임 적분기(212_c)의 출력이 소정값 이상이면 로직 하이레벨(H)의 신호를, 그렇지 않으면 로직 로우레벨(L)의 신호를 출력한다.

<71> 데이터 선택 회로(212_j)는 S/A(212_f, 212_g)의 출력 신호를 수신하여 우수 데이터 선택 신호(DATASEL1_e)를 출력한다. 데이터 선택 회로(212_j)는 논리합(AND) 로직이다. 따라서, 데이터 선택 회로(212_j)는 S/A(212_f, 212_g)의 출력 신호가 모두 로직 하이레벨(H)이면 로직 하이레벨(H)의 우수 데이터 선택 신호(DATASEL1_e)를 출력하고, S/A(212_f, 212_g)의 출력 신호 중 어느 하나라도 로직 로우레벨(L)이면 로직 로우레벨(L)의 우수 데이터 선택 신호(DATASEL1_e)를 출력한다. S/A(212_f, 212_g)의 출력 신호가 모두 로직 하이레벨(H)이라는 것은 중첩 입력 신호(RX_D1D2A)의 심볼이 S4즉, M-M 시퀀스를 가지는 심볼이라는 것을 의미한다.

<72> 멀티플렉서(213e)는 제1 프리 우수 데이터(RX_D1_even')와 제2 기수 데이터(RX_D2_odd)를 반전한 데이터를 수신하고, 우수 데이터 선택 신호(DATASEL1_e)에 응답하여 상기 두 데이터 중 어느 하나를 선택하여 출력한다. 구체적으로 멀티플렉서(213_e)는 우수 데이터 선택 신호(DATASEL1_e)가 로직 로우레벨(L)이면 제1

프리 우수 데이터(RX_D1_even')를 선택하여 출력하고, 우수 데이터 선택 신호(DATASEL1_e)가 로직 하이레벨(H)이면 제2 기수 데이터(RX_D2_odd)의 반전 데이터를 선택하여 출력한다. 중첩 입력 신호(RX_D1D2A)의 심볼이 S4인 경우에는, 하이/로우레벨 검출기(211)의 출력 신호(RX_D1_even', RX_D1_odd')에 응답하여 제1 우수 데이터(RX_D1_even) 및 제1 기수 데이터(RX_D1_odd)가 출력되는 것이 아니라, 제2 수신 회로(220)에서 출력되는 제2 우수 데이터(RX_D2_even) 및 제2 기수 데이터(RX_D2_odd)에 응답하여 제1 우수 데이터(RX_D1_even) 및 제1 기수 데이터(RX_D1_odd)가 출력된다. 따라서, 중첩 입력 신호(RX_D1D2A)의 심볼이 S4인 경우에는, 하이/로우레벨 검출기(211)의 출력 신호(RX_D1_even', RX_D1_odd')는 하이레벨이라도 무방하고 로우레벨이라도 무방하다.

<73> 제1 수신 회로(210)은 제1 우수 데이터(RX_D1_even) 및 제1 기수 데이터(RX_D1_odd)를 각각 제1 수신 기준 클럭(RC1k1, RC1k1b)에 동기하기 위한 플립플롭(214e, 214o)을 더 구비하는 것이 바람직하다.

<74> 플립플롭(214e)은 D 플립 플롭(D flip-flop)으로서, 멀티플렉서(213e)로부터 출력되는 데이터를 제1 수신 기준 클럭(RC1k1)에 동기하여 제1 우수 데이터(RX_D1_even)로서 출력한다.

<75> 다음으로, 기수 데이터 경로를 중심으로 제1 수신 회로(210)의 동작을 설명한다. 기수 데이터 경로상의 동작은 우수 데이터 경로상의 동작과 매우 유사하다. 다만, 기수 데이터 경로에 사용되는 기준 클럭들은 우수 데이터 경로에 사용되는 기준 클럭들에 비하여 각각 180도의 위상 차이를 갖는다.

<76> 비트 타임 적분기(211_c)는 풀 비트 타임 기준 클럭(RC1k1b)의 하이레벨 구간동안에 프리앰프(211_a)의 출력 신호를 적분한다. S/A(211_e)는 풀 비트 타임 기준 클럭(RC1k1b)의 로우레벨 구간 동안에 풀 비트 타임 적분기(211_c)의 출력을 감지하고 래치하여 제1 프리 기수 데이터(RX_D1_odd')를 출력한다.

S/A(211_e)는 풀 비트 타임 적분기(211_c)의 출력이 소정값 이상이면 로직 하이레벨(H)의 제1 프리 기수 데이터(RX_D1_odd')를, 그렇지 않으면 로직 로우레벨(L)의 제1 프리 기수 데이터(RX_D1_odd')를 출력한다.

<77> 하프 비트 타임 적분기(212_d)는 하프 비트 타임 기준 클럭(RC1k1b_1st)에 응답하여 프리앰프(212_a)의 출력 신호를 적분한다. 즉, 하프 비트 타임 적분기(212_d)는 하프 비트 타임 기준 클럭(RC1k1b_1st)의 하이레벨 구간동안에 프리앰프(212_a)의 출력 신호를 적분한다. S/A(212_h)는 하프 비트 타임 기준 클럭(RC1k1b_1st)의 로우레벨 구간 동안에 하프 비트 타임 적분기(212_d)의 출력을 감지하고 래치한다. S/A(212_h)는 하프 비트 타임 적분기(212_d)의 출력이 소정값 이상이면 로직 하이레벨(H)의 신호를, 그렇지 않으면 로직 로우레벨(L)의 신호를 출력한다.

<78> 하프 비트 타임 적분기(212_e)는 하프 비트 타임 기준 클럭(RC1k1b_2nd)에 응답하여 프리앰프(212_a)의 출력 신호를 적분한다. 즉, 하프 비트 타임 적분기(212_e)는 하프 비트 타임 기준 클럭(RC1k1b_2nd)의 하이레벨 구간동안에 프리앰프(212_e)의 출력 신호를 적분한다. S/A(212_i)는 하프 비트 타임 기준 클럭(RC1k1b_2nd)의 로우레벨 구간 동안에 하프 비트 타임 적분기(212_e)의 출력을 감지하고 래치한다. S/A(212_i)는 하프 비트 타임 적분기(212_e)의 출력이 소정

값 이상이면 로직 하イレ벨(H)의 신호를, 그렇지 않으면 로직 로우레벨(L)의 신호를 출력한다.

<79> 데이터 선택 회로(212_k)는 S/A(212_h, 212_i)의 출력 신호를 수신하여 기수 데이터 선택 신호(DATASEL1_o)를 출력한다. 데이터 선택 회로(212_k)는 논리합(AND) 로직이다. 따라서, 데이터 선택 회로(212_k)는 S/A(212_h, 212_i)의 출력 신호가 모두 로직 하イレ벨(H)이면 로직 하イレ벨(H)의 기수 데이터 선택 신호(DATASEL1_o)를 출력하고, S/A(212_h, 212_i)의 출력 신호 중 어느 하나라도 로직 로우레벨(L)이면 로직 로우레벨(L)의 기수 데이터 선택 신호(DATASEL1_o)를 출력한다.

<80> 멀티플렉서(213o)는 제1 프리 기수 데이터(RX_D1_odd')와 제2 우수 데이터(RX_D2_even)를 반전한 데이터를 수신하고, 기수 데이터 선택 신호(DATASEL1_o)에 응답하여 상기 두 데이터 중 어느 하나를 선택하여 출력한다.

<81> 플립플롭(214o)은 멀티플렉서(213o)로부터 출력되는 데이터를 제1 수신 기준 클럭(RC1k1b)에 동기하여 제1 기수 데이터(RX_D1_odd)로서 출력한다.

<82> 제1 수신 회로(210)는 제1 우수 데이터(RX_D1_even) 및 제1 기수 데이터(RX_D1_odd)를 번갈아 수신하여 제1 입력 데이터(RX_D1)로서 출력하는 출력 수단(215)를 더 구비하는 것이 바람직하다.

<83> 따라서, 클럭(Clk)의 첫 번째 반 주기 동안에 수신되는 심볼은 우수 데이터 경로를 통하여 해석되어 제1 우수 데이터(RX_D1_even)로서 출력되고, 클럭의 두 번째 반 주기 동안에 수신되는 심볼은 기수 데이터 경로를 통하여 해석되어 제1

기수 데이터(RX_D1_odd)로서 출력된다. 제1 우수 데이터(RX_D1_even) 및 제1 기수 데이터(RX_D1_odd)가 제1 입력 데이터(RX_D1)이 된다. 그러므로, 제1 수신 회로(210)의 우수 데이터 경로와 기수 데이터 경로는 중첩 입력 신호(RX_D1D2A)를 번갈아 해석하여, 제1 입력 데이터(RX_D1)를 번갈아 출력한다.

<84> 상기와 같이 우수 데이터 경로와 기수 데이터 경로를 구비하여 중첩 입력 신호(RX_D1D2A)를 수신하는 것은 각 소자에서의 처리 시간에 여유를 주기 위함이다. 그러므로, 우수 데이터 경로와 기수 데이터 경로를 구분하지 않고, 중첩 입력 신호(RX_D1D2A)를 연속적으로 해석하여 제1 입력 데이터(RX_D1)를 복원할 수도 있다.

<85> 도 4(c)는 도 4 (a)에 도시된 제2 수신 회로(220)을 나타내는 블록도이다. 이를 참조하면, 제2 수신 회로(220)은 하이/로우레벨 검출기(221), 미들레벨 검출기(222) 및 멀티플렉서(223)를 포함한다. 입력신호(RX_D1D2B)는 도 4(b)의 입력신호(RX_D1D2A)와 동일한 중첩된 신호이다.

<86> 하이/로우레벨 검출기(221)는 제1 수신 회로(210)의 하이/로우레벨 검출기(211)와 마찬가지로, 프리앰프(221_a), 풀 비트 타임 적분기들(221_b, 221_c) 및 S/A들(221_d, 221_e)을 포함한다. 따라서, 하이/로우레벨 검출기(221)는 제1 수신 회로(210)의 하이/로우레벨 검출기(211)와 구성 및 동작이 동일함으로, 여기서 상세한 설명은 생략된다. 다만, 제2 수신 회로(220)의 하이/로우레벨 검출기(221)는 풀 비트 타임 기준 클럭들(RC1k2, RC1k2b)에 응답하여 동작하여, 제2 프리 우수 데이터(RX_D2_even') 및 제2 프리 기수 데이터(RX_D2_odd')를 출력한다.

<87> 미들레벨 검출기(222)는 제1 수신 회로(210)의 미들레벨 검출기(212)와 마찬가지로, 프리앰프(222_a), 하프 비트 타임 적분기(222_b, 222_c, 222_d, 222_e), S/A(222_f, 222_g, 222_h, 222_i) 및 데이터 선택 회로(222_j, 222_k)를 포함한다. 따라서, 미들레벨 검출기(222)는 제1 수신 회로(210)의 미들레벨 검출기(211)와 구성 및 동작이 동일함으로, 여기서 상세한 설명은 생략된다. 다만, 제2 수신 회로(220)의 미들레벨 검출기(222)는 하프 비트 타임 기준 클럭들(RC1k2_1st, RC1k2_2nd, RC1k2b_1st, RC1k2b_2nd)에 응답하여 동작하여, 우수 및 기수 데이터 선택 신호(DATASEL2_e, DATASEL2_o)를 출력한다.

<88> 멀티플렉서(223e)는 제2 프리 우수 데이터(RX_D2_even')와 제1 우수 데이터(RX_D1_even)를 반전한 데이터를 수신하고, 우수 데이터 선택 신호(DATASEL2_e)에 응답하여 상기 두 데이터 중 어느 하나를 선택하여 출력한다. 멀티플렉서(223o)는 제2 프리 기수 데이터(RX_D2_odd')와 제1 우수 데이터(RX_D1_odd)를 반전한 데이터를 수신하고, 기수 데이터 선택 신호(DATASEL2_o)에 응답하여 상기 두 데이터 중 어느 하나를 선택하여 출력한다.

<89> 제2 수신 회로(220) 역시 제2 우수 데이터(RX_D2_even) 및 제2 기수 데이터(RX_D2_odd)를 각각 제2 수신 기준 클럭(RC1k2, RC1k2b)에 동기하기 위한 플립플롭(224e, 224o)을 더 구비하는 것이 바람직하다. 또한, 제2 수신 회로(220)는 제2 우수 데이터(RX_D2_even) 및 제2 기수 데이터(RX_D2_odd)를 번갈아 수신하여 제2 입력 데이터(RX_D2)로서 출력하는 출력 수단(225)을 더 구비하는 것이 바람직하다.

<90> 도 6은 송신기(100) 및 수신기(200)의 동작을 나타내는 타이밍도이다.

- <91> 먼저, 도 6의 G1 파트 및 도 2(a)를 함께 참조하여, 송신기(100)의 동작을 설명한다. 송신기(100)의 제1 출력 드라이버(110)로부터 제1 송신 기준 클럭(TC1k1)에 동기된 데이터(TX_D1')가 발생되고, 제2 출력 드라이버(120)로부터 제2 송신 기준 클럭(TC1k2)에 동기된 데이터(TX_D2')가 발생된다. 상기 두 데이터(TX_D1', TX_D2')가 중첩되어, 중첩 출력 신호(TX_D1D2)로서 출력된다. 중첩 출력 신호(TX_D1D2)는 전송선을 통하여 수신기(200)로 전송된다.
- <92> G2 파트 및 G3 파트는 수신기(200)의 동작을 나타내는 타이밍도이다.
- <93> 수신기(200)의 제1 수신 회로(210) 및 제2 수신 회로(220)에 입력되는 중첩 입력 신호(RX_D1D2A, RX_D1D2B)는 중첩 출력 신호(TX_D1D2)의 수신 신호이다. 중첩 입력 신호(RX_D1D2A, RX_D1D2B)는 동일한 신호이지만, 제1 및 제2 수신 회로(210, 220)를 구분하기 위하여 설명의 편의상 참조부호를 구별하여 사용한다.
- <94> 타임 슬라이스(T1 ~ T8)은 제1 수신 기준 클럭(RC1k1, Rc1k1b)의 관점에서 풀 비트 타임을 나타낸다. 제1 수신 기준 클럭(RC1k1, Rc1k1b)에 동기되어 제1 수신 회로(210)로 수신되는 중첩 입력 신호(RX_D1D2A)는 S2-S1-S2-S1-S4-S6-S7-S5 순의 심볼들을 가진다. 각 심볼은 제1 출력 데이터(TX_D1)의 풀 비트 데이터와 제2 출력 데이터(TX_D2)의 두 개의 하프 비트 데이터를 포함한다.
- <95> 타임 슬라이스(T1, T3, T5, T7)에서 수신되는 중첩 입력 신호(RX_D1D2A)의 심볼들은 우수 데이터 경로에 의해 해석되어, 제1 우수 데이터(RX_D1_even)로서 발생된다. 반면, 타임 슬라이스(T2, T4, T6, T8)에서 수신되는 중첩 입력 신호

(RX_D1D2A)의 심볼들은 기수 데이터 경로에 의하여 해석되어, 제1 기수 데이터 (RX_D1_odd)로서 발생된다.

<96> 타임 슬라이스(T3)에서 제1 수신 회로(210)은 H-M 시퀀스를 가지는 S2 심볼의 중첩 입력 신호(RX_D1D2A)를 수신한다. S2 심볼은 로직 하이레벨(H)를 가지는 제1 출력 데이터(TX_D1)의 풀 비트 데이터와 로직 하이레벨(H)과 로직 로우레벨(L)을 가지는 제2 출력 데이터(TX_D2)의 두 개의 하프 비트 데이터를 포함한다. 제1 수신 회로(210)은 S2 심볼을 해석하여 로직 하이레벨(H)의 제1 우수 데이터(RX_D1_even)를 발생한다. 이 때, 제1 수신 회로(210)은 S2 심볼이 M-M 시퀀스에 해당하지 않기 때문에 하이/로우레벨 검출기(도 4(b)의 211 참조)에서 출력되는 로직 하이레벨(H)의 제1 프리 우수 데이터(RX_D1_even')를 그대로 제1 우수 데이터(RX_D1_even)로서 출력한다.

<97> 타임 슬라이스(T5)에서 제1 수신 회로(210)은 S4 심볼(M-M)의 중첩 입력 신호(RX_D1D2A)를 수신한다. S4 심볼의 경우, 로직 하이레벨(H)를 가지는 제1 출력 데이터(TX_D1)의 풀 비트 데이터와 로직 로우레벨(L)과 로직 로우레벨(L)을 가지는 제2 출력 데이터(TX_D2)의 두 개의 하프 비트 데이터를 포함하는 경우와 로직 로우레벨(L)를 가지는 제1 출력 데이터(TX_D1)의 풀 비트 데이터와 로직 하이레벨(H)과 로직 하이레벨(H)을 가지는 제2 출력 데이터(TX_D2)의 두 개의 하프 비트 데이터를 포함하는 경우가 있다. 여기서는 후자의 경우이다. 중첩 입력 신호(RX_D1D2A)가 S4 심볼(M-M)인 경우, 제1 수신 회로(210)은 제2 수신 회로(220)에서 발생하는 로직 하이레벨(H)의 제2 기수 데이터(RX_D2_odd)(610)를 반전하여 제1 우수 데이터(RX_D1_even)(620)로서 출력한다.

<98> 타임 슬라이스(T12, T23, T34, T45, T56, T67 및 T78)는 제2 수신 기준 클럭(RC1k2, Rc1k2b)의 관점에서 풀 비트 타임을 나타낸다. 제1 수신 기준 클럭(RC1k2, Rc1k2b)에 동기되어 제2 수신 회로(220)으로 수신되는 중첩 입력 신호(RX_D1D2B)는 S4-S3-S4-S2-S4-S7-S7 순의 심볼들을 가진다. 각 심볼은 제2 출력 데이터(TX_D2)의 풀 비트 데이터와 제1 출력 데이터(TX_D1)의 두 개의 하프 비트 데이터를 포함한다. 타임 슬라이스(T12, T34, T56, T78)에서 수신되는 중첩 입력 신호(RX_D1D2B)의 심볼들은 우수 데이터 경로에 의해 해석되어, 제2 우수 데이터(RX_D2_even)로서 발생된다. 반면, 타임 슬라이스(T23, T45, T67)에서 수신되는 중첩 입력 신호(RX_D1D2B)의 심볼들은 기수 데이터 경로에 의하여 해석되어, 제2 기수 데이터(RX_D2_odd)로서 발생된다.

<99> 타임 슬라이스(T23)에서 제2 수신 회로(220)은 H-H 시퀀스를 가지는 S3 심볼의 중첩 입력 신호(RX_D1_D2B)를 수신한다. S3 심볼은 로직 하イレ벨(H)를 가지는 제2 출력 데이터(TX_D2)의 풀 비트 데이터와 로직 하イレ벨(H)과 로직 하イレ벨(L)을 가지는 제1 출력 데이터(TX_D1)의 두 개의 하프 비트 데이터를 포함한다. 제2 수신 회로(220)은 S3 심볼을 해석하여 로직 하イレ벨(H)의 제2 기수 데이터(RX_D2_odd)를 발생한다. 이 때, 제2 수신 회로(220)은 S3 심볼이 M-M에 해당하지 않기 때문에 하이/로우레벨 검출기(도 4(c)의 221 참조)에서 출력되는 로직 하イレ벨(H)의 제2 프리 기수 데이터(RX_D2_odd')를 그대로 제2 기수 데이터(RX_D2_odd)로서 출력한다.

<100> 타임 슬라이스(T56)에서 제2 수신 회로(220)은 S4 심볼(M-M)의 중첩 입력 신호(RX_D1D2B)를 수신한다. 중첩 입력 신호(RX_D1D2B)가 S4 심볼(M-M)인 경우,

제2 수신 회로(220)은 제1 수신 회로(210)에서 발생하는 로직 로우레벨(L)의 제1 우수 데이터(RX_D1_even)(620)를 반전하여 제2 우수 데이터(RX_D2_even)(630)로서 출력한다.

<101> 도 7은 본 발명의 일 실시예에 따른 데이터 송수신기를 구비하는 반도체 장치(700)를 나타내는 블록도이다.

<102> 반도체 장치(700)는 로직부(710)에 따라 마이크로프로세서일 수도 있고, 컨트롤러나 메모리 장치 또는 다른 장치일 수 있다. 반도체 장치(700)는 디지털 신호를 송수신할 수 있게 하는 데이터 송수신기(400)를 구비한다. 로직부(710)는 데이터 송수신기(400)와 인터페이스하며, 데이터 송수신기(400)를 제어하는 역할을 한다.

<103> 데이터 송수신기(400)는 송신기(100)와 수신기(200)를 구비한다. 송신기(100)와 수신기(200)는 도 2 내지 도 6을 참조하여 상술하였으므로, 여기서 상세한 설명은 생략된다.

<104> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<105> 본 발명에 의하면, 클럭의 주파수를 증가시키지 않고도 대역폭을 증가시키는 효과가 있다. 따라서, 데이터의 전송 속도가 향상된다.

【특허청구범위】**【청구항 1】**

제1 송신 기준 클럭에 응답하여 제1 출력 데이터를 출력하는 제1 출력 드라이버; 및

상기 제1 송신 기준 클럭에 비하여 90도 위상 차이를 가지는 제2 송신 기준 클럭에 응답하여 제2 출력 데이터를 출력하는 제2 출력 드라이버를 구비하며,

상기 제1 출력 데이터와 상기 제2 출력 데이터의 중첩 신호를 전송선을 통하여 전송하는 것을 특징으로 하는 송신기.

【청구항 2】

제1 항에 있어서, 상기 송신기는

상기 전송선에 전기적으로 연결되며, 상기 제1 출력 데이터와 상기 제2 출력 데이터가 중첩되어 상기 중첩 신호가 발생하는 노드를 더 구비하는 것을 특징으로 하는 송신기.

【청구항 3】

제1 항에 있어서,

상기 제1 및 제2 출력 데이터는 각각 2-레벨 신호이고,

상기 중첩 신호는 3-레벨 신호인 것을 특징으로 하는 송신기.

【청구항 4】

제1 항에 있어서,

상기 제1 송신 기준 클럭은 소정의 외부 클럭에 동기되는 것을 특징으로 하는 송신기.

【청구항 5】

제1 수신 기준 클럭에 응답하여 중첩 신호를 수신하여, 제1 입력 데이터를 추출하는 제1 수신 회로; 및

상기 제1 수신 기준 클럭에 비하여 90도 위상 차이를 가지는 제2 수신 기준 클럭에 응답하여 상기 중첩 신호를 수신하여, 제2 입력 데이터를 추출하는 제2 수신 회로를 구비하며,

상기 중첩 신호는 적어도 두 개의 데이터가 중첩된 신호인 것을 특징으로 하는 수신기.

【청구항 6】

제 5 항에 있어서, 제1 수신 기준 클럭은

소정의 외부 클럭에 동기되는 것을 특징으로 하는 수신기.

【청구항 7】

제 5 항에 있어서,

상기 제1 및 제2 입력 데이터는 각각 2-레벨 신호이고,

상기 중첩 신호는 3-레벨 신호인 것을 특징으로 하는 수신기.

【청구항 8】

제 7 항에 있어서, 제1 수신 회로는

상기 제1 수신 기준 클럭에 응답하여, 비트 타임 단위로 상기 중첩 신호가 하이레벨인지 로우레벨인지를 판별하여, 제1 프리 입력 데이터를 출력하는 제1 하이/로우레벨 검출기;

상기 비트 타임 단위로 상기 중첩 신호가 미들레벨인지를 판별하여 제1 데이터 선택 신호를 출력하는 제1 미들레벨 검출기; 및

상기 제1 데이터 선택 신호에 응답하여 상기 제1 프리 입력 데이터와 상기 제2 수신 회로에서 출력되는 소정의 제2 입력 데이터를 반전한 데이터 중 어느 하나를 선택하여 상기 제1 입력 데이터로서 출력하는 제1 선택기를 포함하는 것을 특징으로 하는 수신기.

【청구항 9】

제 8 항에 있어서, 제2 수신 회로는

상기 제2 수신 기준 클럭에 응답하여, 상기 비트 타임 단위로 상기 중첩 신호가 하이레벨인지 로우레벨인지를 판별하여, 상기 제2 프리 입력 데이터를 출력하는 제2 하이/로우레벨 검출기;

상기 비트 타임 단위로 상기 중첩 신호가 미들레벨인지를 판별하여 제2 데이터 선택 신호를 출력하는 제2 미들레벨 검출기; 및

상기 제2 데이터 선택 신호에 응답하여 상기 제1 입력 데이터를 반전한 데이터와 상기 제2 프리 입력 데이터 중 어느 하나를 선택하여 상기 제2 입력 데이터로서 출력하는 제2 선택기를 포함하는 것을 특징으로 하는 수신기.

【청구항 10】

제 9 항에 있어서, 제1 하이/로우레벨 검출기 및 제2 하이/로우레벨 검출기 각각은

상기 중첩 신호를 제1 기준 전압과 비교하는 프리앰프;

상기 프리앰프의 출력 신호를 상기 비트 타임 단위로 적분하는 풀 비트 타임 적분기; 및

상기 풀 비트 타임 적분기의 출력 신호를 감지 및 래치하여 상기 제1 프리 입력 데이터 또는 상기 제2 프리 입력 데이터를 출력하는 감지/래치부를 포함하는 것을 특징으로 하는 수신기.

【청구항 11】

상기 10항에 있어서, 제 1 기준 전압은

하イレ벨 및 로우레벨 사이의 소정의 전압 레벨을 가지는 것을 특징으로 하는 수신기.

【청구항 12】

제 9 항에 있어서, 제1 미들레벨 검출기 및 제2 미들레벨 검출기 각각은

상기 중첩 신호를 제2 기준 전압 및 제3 기준 전압과 비교하는 프리앰프;

상기 프리앰프의 출력 신호를 상기 비트 타임의 반 타임 단위로 적분하는
하프 비트 타임 적분기; 및

상기 하프 비트 타임 적분기의 출력 신호를 감지 및 래치하여 상기 제1 데이터 선택 신호 또는 상기 제2 데이터 선택 신호를 출력하는 감지/래치부를 포함하는 것을 특징으로 하는 수신기.

【청구항 13】

상기 12항에 있어서,

상기 제2 기준 접압은 하이레벨과 미들레벨 사이의 소정의 전압 레벨을 가지고, 상기 제3 기준 접압은 상기 미들레벨과 로우레벨 사이의 소정의 전압 레벨을 가지며, 상기 미들레벨은 상기 하이레벨과 상기 로우레벨 사이의 소정의 전압 레벨인 것을 특징으로 하는 수신기.

【청구항 14】

제 9 항에 있어서, 상기 수신기는

상기 제1 입력 데이터를 상기 제1 수신 기준 클럭에 동기시키고, 상기 제2 입력 데이터를 상기 제2 수신 기준 클럭에 동기시키기 위한 플립플롭을 더 구비하는 것을 특징으로 하는 수신기.

【청구항 15】

제 9 항에 있어서, 상기 비트 타임은

상기 외부 클럭의 반 주기인 것을 특징으로 하는 수신기.

【청구항 16】

제 7 항에 있어서,

상기 제1 수신 회로는 상기 중첩 신호를 번갈아 해석하여, 상기 제1 입력 데이터를 번갈아 출력하는 제1 우수 데이터 경로 회로 및 제1 기수 데이터 경로 회로를 구비하며,

상기 제2 수신 회로는 상기 중첩 신호를 번갈아 해석하여, 상기 제2 입력 데이터를 번갈아 출력하는 제2 우수 데이터 경로 회로 및 제2 기수 데이터 경로 회로를 구비하는 것을 특징으로 하는 수신기.

【청구항 17】

제 7 항에 있어서,

상기 제1 수신 회로는 상기 제1 수신 기준 클럭을 기준으로 상기 중첩 신호를 해석하여, 상기 중첩 신호가 소정의 시퀀스를 가지는 신호이면 상기 제2 수신 회로에서 출력되는 제2 입력 데이터에 응답하여 상기 제1 입력 데이터를 출력하고, 상기 중첩 신호가 상기 소정의 시퀀스를 가지는 신호가 아니면 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 제1 입력 데이터를 발생하는 것을 특징으로 하는 수신기.

【청구항 18】

제 17 항에 있어서, 상기 제1 수신 회로는

상기 중첩 신호가 상기 소정의 시퀀스인지를 판별하는 미들레벨 검출기;

상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 중첩 신호가 하이레벨인지 로우레벨인지를 판별하여 출력하는 하이/로우레벨 검출기; 및

상기 미들레벨 검출기의 출력 신호에 응답하여 상기 제2 입력 데이터를 반전한 데이터와 상기 하이/로우레벨 검출기의 출력 신호 중 어느 하나를 선택하여 상기 제1 입력 데이터를 발생하는 선택기를 포함하는 것을 특징으로 하는 수신기.

【청구항 19】

제 17 항에 있어서,

상기 제2 수신 회로는 상기 제2 수신 기준 클럭을 기준으로 상기 중첩 신호를 해석하여, 상기 중첩 신호가 상기 소정의 시퀀스를 가지는 신호이면 상기 제1 수신 회로에서 출력되는 제1 입력 데이터에 응답하여 상기 제2 입력 데이터를 출력하고, 상기 중첩 신호가 상기 소정의 시퀀스를 가지는 신호가 아니면 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 제2 입력 데이터를 발생하는 것을 특징으로 하는 수신기.

【청구항 20】

제 19 항에 있어서, 상기 제2 수신 회로는

상기 중첩 신호가 상기 소정의 시퀀스인지를 판별하는 미들레벨 검출기;

상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 중첩 신호가 하이레벨인지 로우레벨인지를 판별하여 출력하는 하이/로우레벨 검출기; 및

상기 미들레벨 검출기의 출력 신호에 응답하여 상기 제1 입력 데이터를 반전한 데이터와 상기 하이/로우레벨 검출기의 출력 신호 중 어느 하나를 선택하여 상기 제2 입력 데이터를 발생하는 선택기를 포함하는 것을 특징으로 하는 수신기.

【청구항 21】

제 19 항에 있어서, 상기 소정의 시퀀스는

연속하는 두 개의 미들레벨 신호인 것을 특징으로 하는 수신기.

【청구항 22】

전송선;

제1 데이터 및 제2 데이터를 90도의 위상 차이를 가지고 중첩하여 상기 전송선으로 중첩된 신호를 출력하는 송신기; 및

상기 중첩된 신호(이하, 중첩 신호)를 90도 위상 차이를 가지고 각각 해석하여 상기 제1 데이터 및 상기 제2 데이터를 복원하는 수신기를 구비하는 데이터 인터페이스 시스템.

【청구항 23】

제 22 항에 있어서, 상기 송신기는

제 1 송신 기준 클럭에 응답하여 상기 제1 데이터를 출력하는 제1 출력 드라이버; 및

상기 제1 송신 기준 클럭에 비하여 90도 위상 차이를 가지는 제2 송신 기준 클럭에 응답하여 제2 데이터를 출력하는 제2 출력 드라이버를 구비하는 것을 특징으로 하는 데이터 인터페이스 시스템.

【청구항 24】

제 23 항에 있어서, 상기 수신기는

제 1 수신 기준 클럭에 응답하여 상기 중첩 신호를 해석하여 상기 제1 데이터를 복원하는 제1 수신 회로; 및

상기 제1 수신 기준 클럭의 위상과 실질적으로 90도 위상 차이를 가지는 제2 수신 기준 클럭에 응답하여 상기 중첩 신호를 해석하여 상기 제2 데이터를 복원하는 제2 수신 회로를 구비하는 것을 특징으로 하는 데이터 인터페이스 시스템.

【청구항 25】

제 24 항에 있어서,

상기 제1 수신 회로는 상기 제1 수신 기준 클럭을 기준으로 상기 중첩 신호를 해석하여, 상기 중첩 신호가 소정의 시퀀스를 가지는 신호이면 상기 제2 수신 회로에서 출력되는 제2 데이터에 응답하여 상기 제1 데이터를 출력하고, 상기 중첩 신호가 상기 소정의 시퀀스를 가지는 신호가 아니면 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 제1 데이터를 발생하며,

상기 제2 수신 회로는 상기 제2 수신 기준 클럭을 기준으로 상기 중첩 신호를 해석하여, 상기 중첩 신호가 상기 소정의 시퀀스를 가지는 신호이면 상기 제1

수신 회로에서 출력되는 제1 데이터에 응답하여 상기 제2 데이터를 출력하고, 상기 중첩 신호가 상기 소정의 시퀀스를 가지는 신호가 아니면 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 제2 데이터를 발생하는 것을 특징으로 하는 데이터 인터페이스 시스템.

【청구항 26】

제 25 항에 있어서,

상기 제1 수신 회로는 상기 중첩 신호가 상기 소정의 시퀀스인지를 판별하는 제1 미들레벨 검출기; 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 중첩 신호가 하이레벨인지 로우레벨인지를 판별하여 출력하는 제1 하이/로우레벨 검출기; 및 상기 제1 미들레벨 검출기의 출력 신호에 응답하여 상기 제2 입력 데이터를 반전한 데이터와 상기 제1 하이/로우레벨 검출기의 출력 신호 중 어느 하나를 선택하여 상기 제1 입력 데이터를 발생하는 제1 선택기를 포함하며,

상기 제2 수신 회로는 상기 중첩 신호가 상기 소정의 시퀀스인지를 판별하는 제2 미들레벨 검출기; 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 중첩 신호가 하이레벨인지 로우레벨인지를 판별하여 출력하는 제2 하이/로우레벨 검출기; 및 상기 제2 미들레벨 검출기의 출력 신호에 응답하여 상기 제1 입력 데이터를 반전한 데이터와 상기 제2 하이/로우레벨 검출기의 출력 신호 중 어느 하나를 선택하여 상기 제2 입력 데이터를 발생하는 제2 선택기를 포함하는 것을 특징으로 하는 데이터 인터페이스 시스템.

【청구항 27】

제 25 항에 있어서, 상기 제1 송신 기준 클럭 및 상기 제1 수신 기준 클럭
은

외부 클럭에 동기되는 것을 특징으로 하는 데이터 인터페이스 시스템.

【청구항 28】

제 27 항에 있어서, 상기 중첩 신호는

상기 외부 클럭의 한 주기 동안 4 비트 데이터를 포함하는 것을 특징으로
하는 데이터 인터페이스 시스템.

【청구항 29】

제 22 항에 있어서,

상기 제1 데이터 및 상기 제2 데이터는 각각 2-레벨 신호이고,

상기 중첩 신호는 3-레벨 신호인 것을 특징으로 하는 데이터 인터페이스 시
스템.

【청구항 30】

제1 출력 데이터 및 제2 출력 데이터를 90도의 위상 차이를 가지고 중첩하
여 중첩 출력 신호를 발생하는 송신기;

중첩 입력 신호를 90도 위상 차이를 가지고 각각 해석하여 제1 입력 데이
터 및 제2 입력 데이터를 발생하는 수신기; 및

상기 송신기 및 수신기를 제어하는 로직부를 구비하는 반도체 장치.

【청구항 31】

제 30 항에 있어서, 상기 송신기는

제 1 송신 기준 클럭에 응답하여 상기 제1 출력 데이터를 발생하는 제1 출력 드라이버; 및

상기 제1 송신 기준 클럭에 비하여 90도 위상 차이를 가지는 제2 송신 기준 클럭에 응답하여 제2 출력 데이터를 발생하는 제2 출력 드라이버를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 32】

제 30 항에 있어서, 상기 수신기는

제 1 수신 기준 클럭에 응답하여 상기 중첩 입력 신호를 해석하여 상기 제1 입력 데이터를 추출하는 제1 수신 회로; 및

상기 제1 수신 기준 클럭의 위상과 실질적으로 90도 위상 차이를 가지는 제2 수신 기준 클럭에 응답하여 상기 중첩 입력 신호를 해석하여 상기 제2 입력 데이터를 추출하는 제2 수신 회로를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 33】

제 32 항에 있어서,

상기 제1 수신 회로는 상기 제1 수신 기준 클럭을 기준으로 상기 중첩 입력 신호를 해석하여, 상기 중첩 입력 신호가 소정의 시퀀스를 가지는 신호이면 상기 제2 수신 회로에서 출력되는 제2 입력 데이터에 응답하여 상기 제1 입력 데이터를 출력하고, 상기 중첩 입력 신호가 상기 소정의 시퀀스를 가지는 신호가

아니면 상기 중첩 입력 신호의 비트 타임 단위의 적분값에 응답하여 상기 제1 입력 데이터를 발생하며,

상기 제2 수신 회로는 상기 제2 수신 기준 클럭을 기준으로 상기 중첩 입력 신호를 해석하여, 상기 중첩 입력 신호가 상기 소정의 시퀀스를 가지는 신호이면 상기 제1 수신 회로에서 출력되는 제1 입력 데이터에 응답하여 상기 제2 입력 데이터를 출력하고, 상기 중첩 입력 신호가 상기 소정의 시퀀스를 가지는 신호가 아니면 상기 중첩 입력 신호의 비트 타임 단위의 적분값에 응답하여 상기 제2 입력 데이터를 발생하는 것을 특징으로 하는 반도체 장치,

【청구항 34】

제 33 항에 있어서,

상기 제1 수신 회로는 상기 중첩 신호가 상기 소정의 시퀀스인지를 판별하는 제1 미들레벨 검출기; 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 중첩 신호가 하イレ벨인지 로우레벨인지를 판별하여 출력하는 제1 하이/로우레벨 검출기; 및 상기 제1 미들레벨 검출기의 출력 신호에 응답하여 상기 제2 입력 데이터를 반전한 데이터와 상기 제1 하이/로우레벨 검출기의 출력 신호 중 어느 하나를 선택하여 상기 제1 입력 데이터를 발생하는 제1 선택기를 포함하며,

상기 제2 수신 회로는 상기 중첩 신호가 상기 소정의 시퀀스인지를 판별하는 제2 미들레벨 검출기; 상기 중첩 신호의 비트 타임 단위의 적분값에 응답하여 상기 중첩 신호가 하イレ벨인지 로우레벨인지를 판별하여 출력하는 제2 하이/로우레벨 검출기; 및 상기 제2 미들레벨 검출기의 출력 신호에 응답하여 상기 제1

입력 데이터를 반전한 데이터와 상기 제2 하이/로우레벨 검출기의 출력 신호 중 어느 하나를 선택하여 상기 제2 입력 데이터를 발생하는 제2 선택기를 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 35】

제 30 항에 있어서,

상기 제1 출력 데이터, 상기 제2 출력 데이터, 상기 제1 입력 데이터 및 상기 제2 입력 데이터는 각각 2-레벨 신호이고,

상기 중첩 출력 신호 및 상기 중첩 입력 신호는 3-레벨 신호인 것을 특징으로 하는 반도체 장치.

【청구항 36】

제 30 항에 있어서,

상기 중첩 출력 신호와 상기 중첩 입력 신호는 동일한 노드를 거치는 것을 특징으로 하는 반도체 장치.

【청구항 37】

제 30 항에 있어서, 상기 반도체 장치는

컨트롤러인 것을 특징으로 하는 반도체 장치.

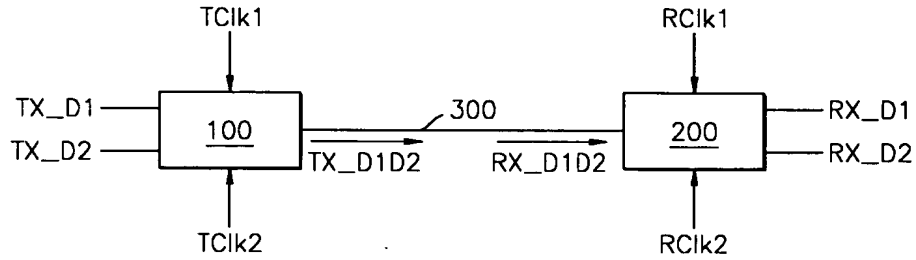
【청구항 38】

제 30 항에 있어서, 상기 반도체 장치는

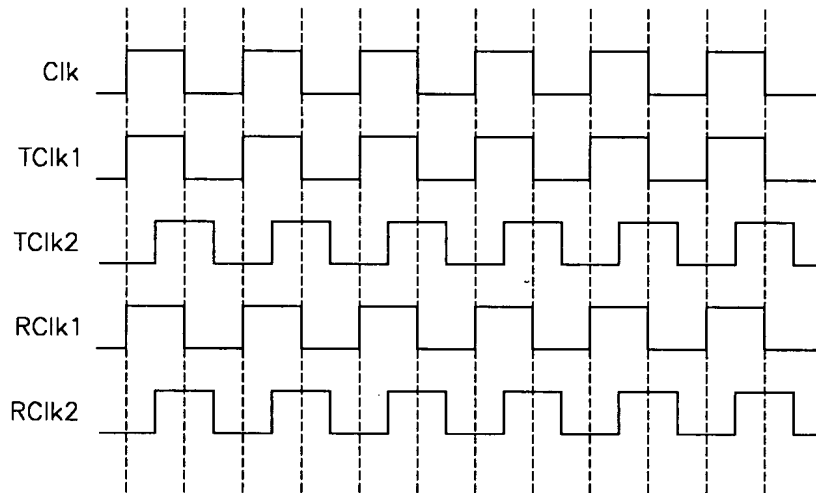
집적 회로인 것을 특징으로 하는 반도체 장치.

【도면】

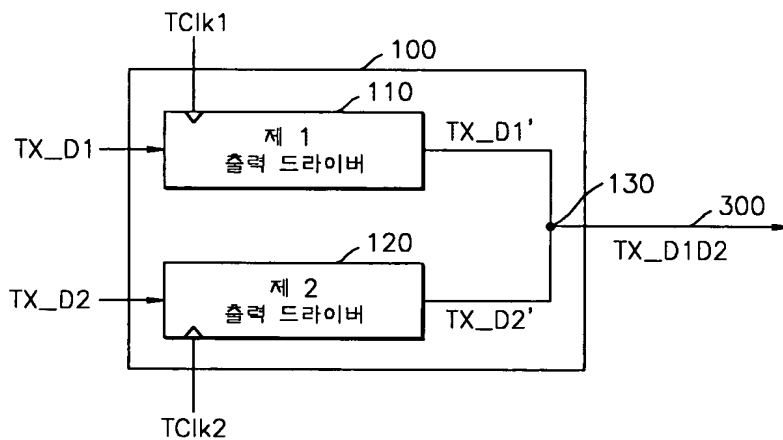
【도 1a】



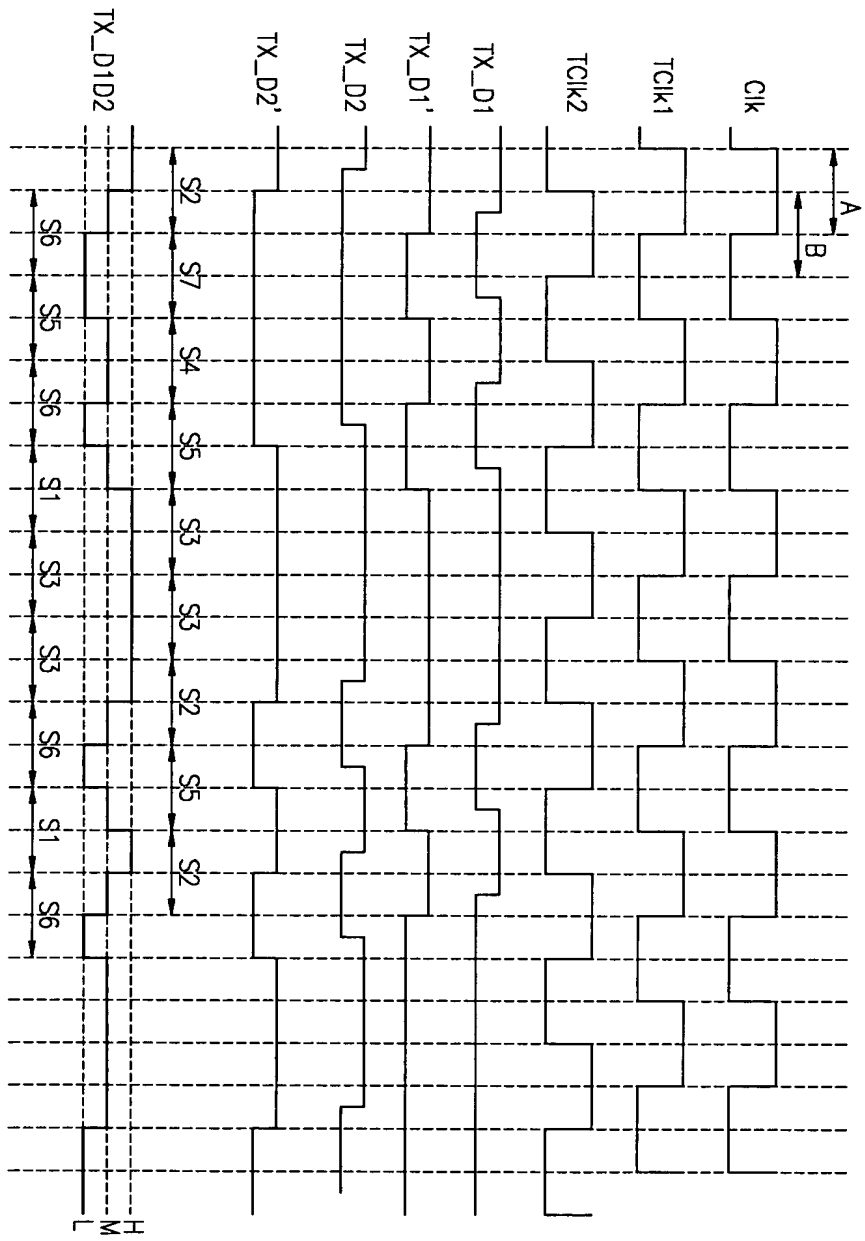
【도 1b】



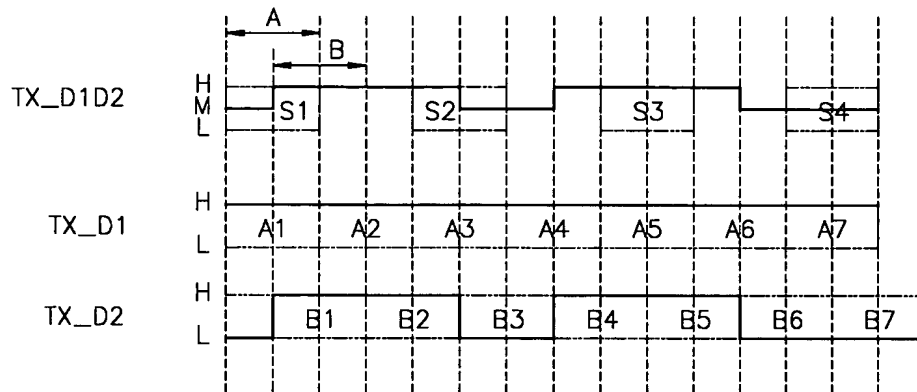
【도 2a】



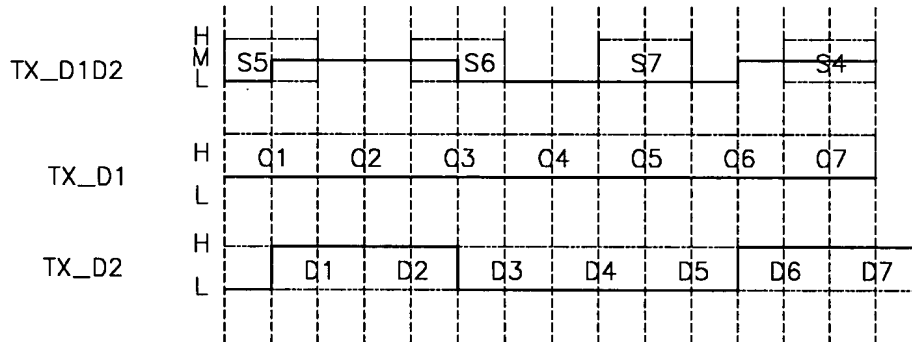
【도 2b】



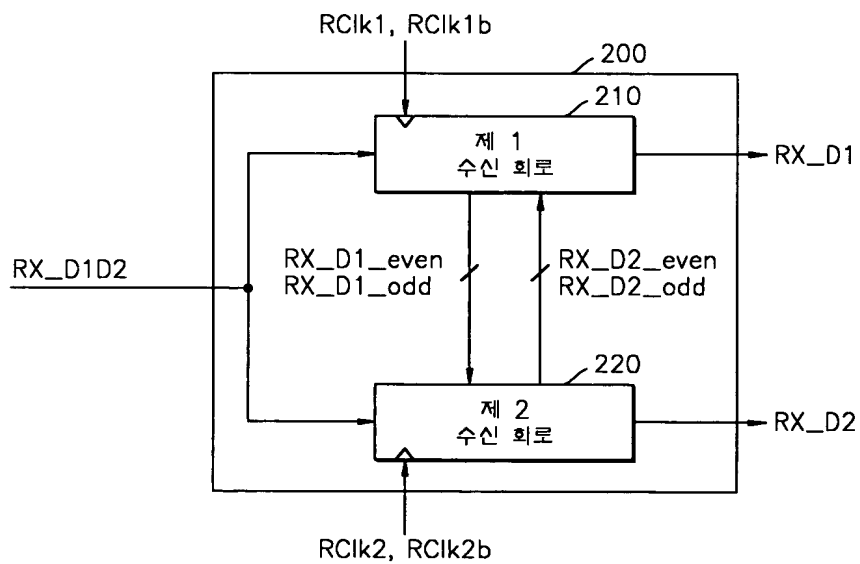
【도 3a】

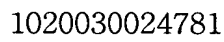


【도 3b】



【도 4a】



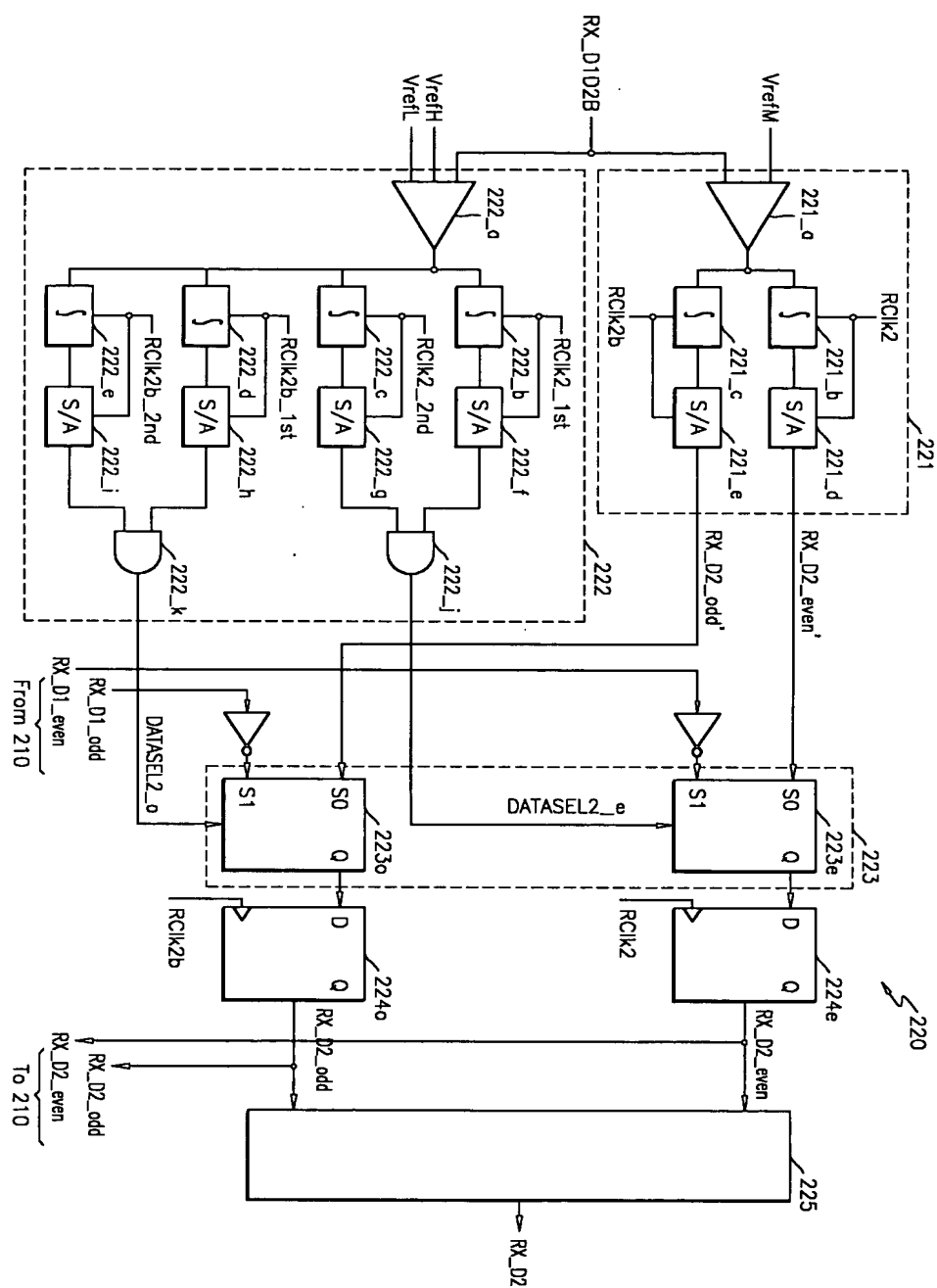


출력 일자: 2003/9/4

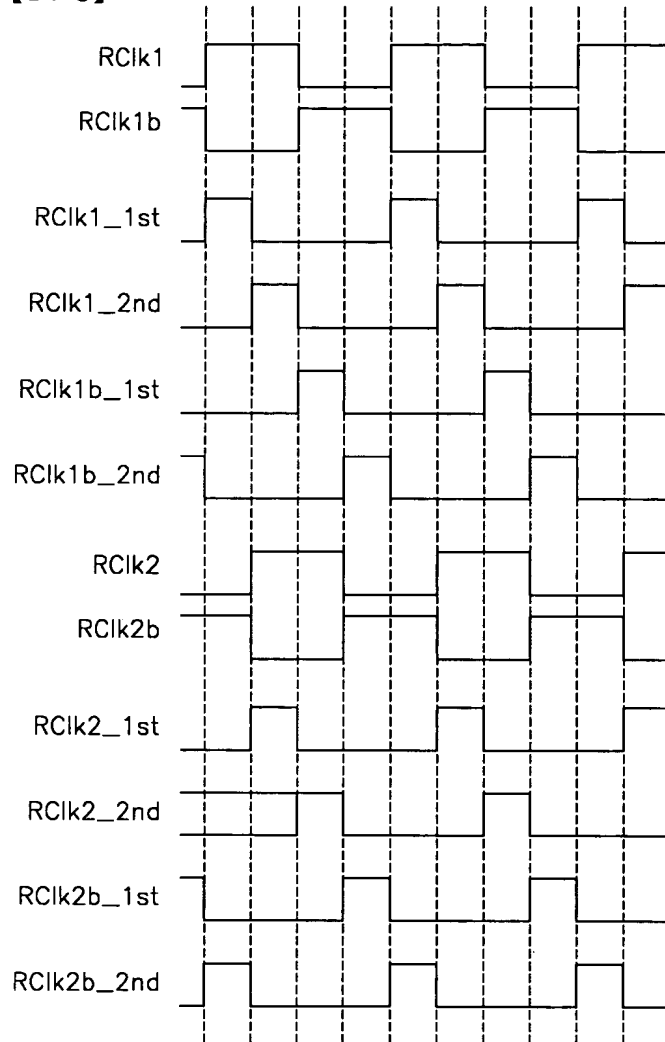
【도 4b】



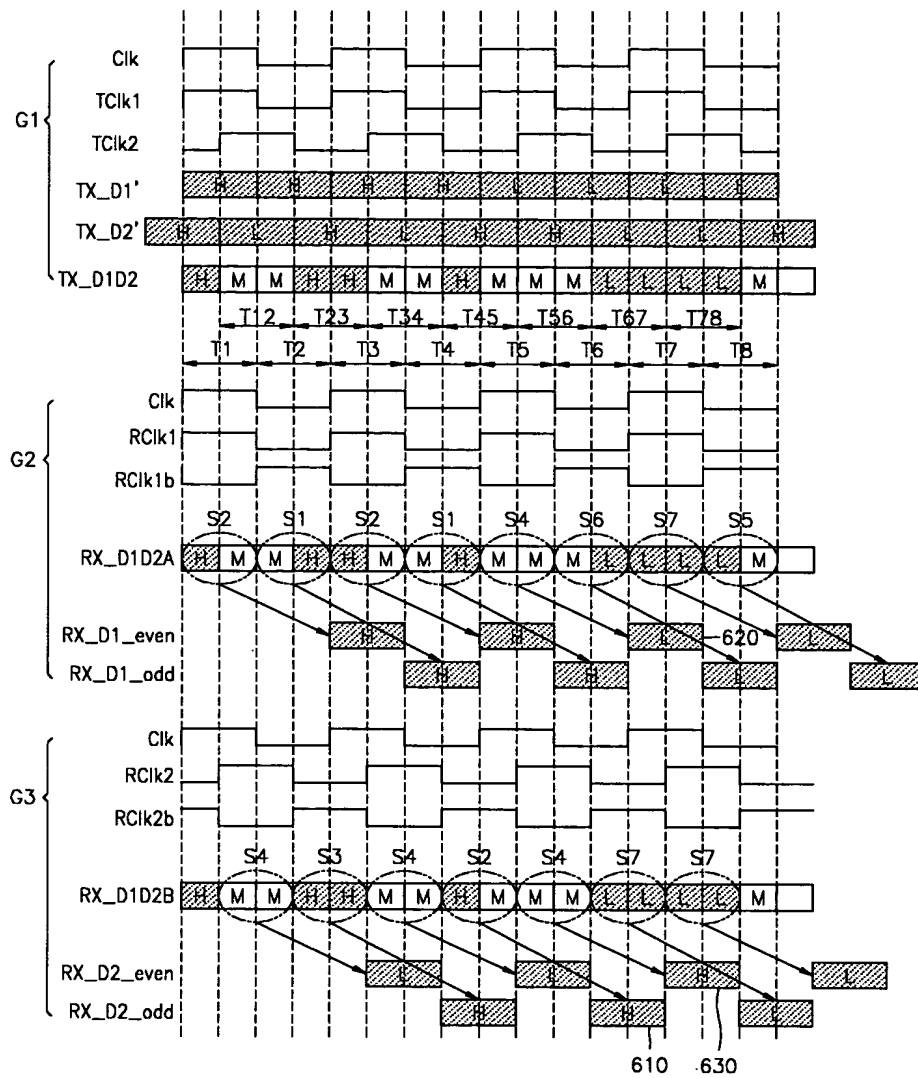
【도 4c】



【도 5】

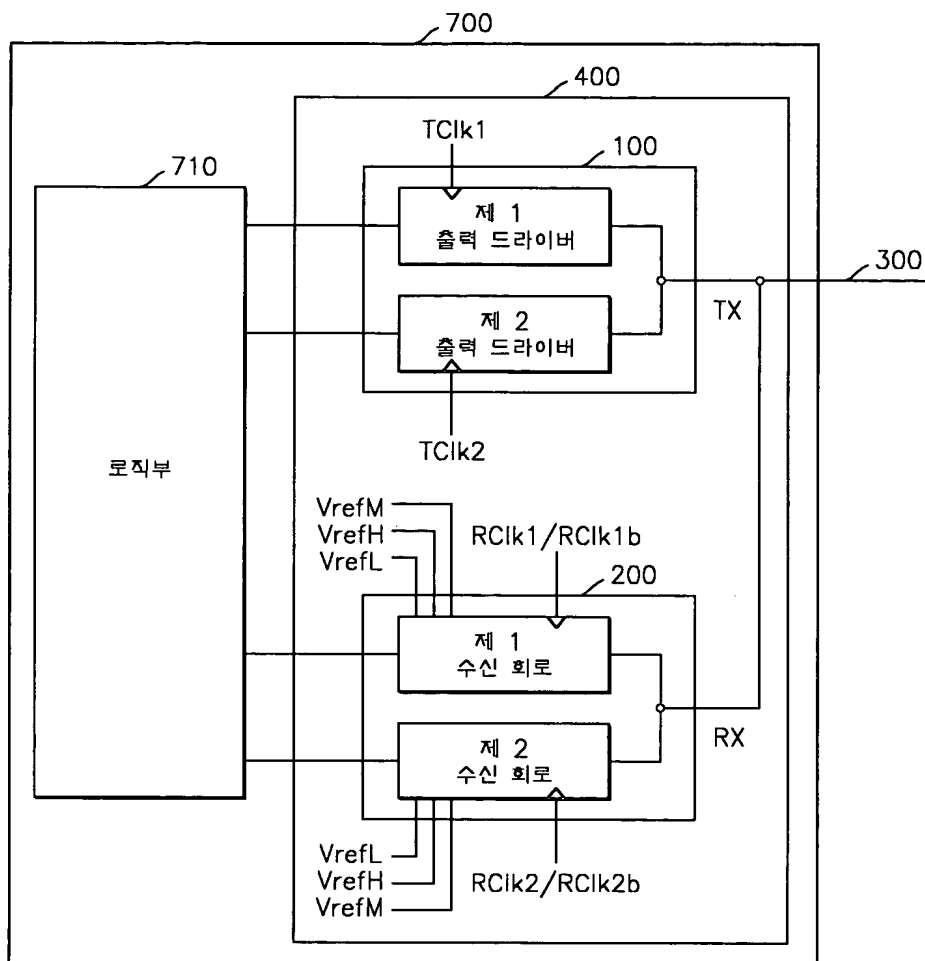


【도 6】





【도 7】



【도 8】

